

基于高吞吐率WLR测试的
ACS集成测试系统

图1. 采用SMU-per-pin（每管脚SMU）架构的ACS集成测试系统举例

引言

随着器件继续小型化，半导体器件可靠性测试以及器件寿命预测面临极大挑战。由于新材料和新工艺的复杂性增大，器件失效的随机性也在增加。¹ 这需要产生更大的统计样本测试数据。虽然传统的应力-开关-测量可靠性测试技术能实现庞大数量的器件测试，但这种方法可能存在问题。使用TDDB，工程师需要监测软击穿和渐进式击穿。采用NBTI，必须最小化器件弛豫并以极快的速度完成测量。在测试单个器件的层面上，某些问题还是可控的，但在实际时间段内顺序测试单个器件不能提供大量的统计样本数据。

此应用笔记讨论了如何克服ACS集成测试系统和SMU（源-测量单元）-per-pin配置条件下的可靠性测试挑战。使用吉时利2600系列源表和自动特性分析套件（ACS）软件，可以针对越来越复杂的测试（例如TDDB、NBTI和HCI）实现中等规模系统（20~40引脚）。由于ACS中含有全自动探测器控制和自动测试序列功能，因而可以实现高吞吐量测试。去除开关后，SMU-per-pin配置在提供系统灵活性和易用性方面还起到了重要作用。此外，ACS提供了集成测试流环境、方便的点击操作，而且包含常规可靠性测试，例如：

- TDDB、Vramp、JRamp（JEDEC标准测试）
- HCI（NBTI）、即时NBTI、NBTI快速SMU
- EM、等温EM（JEDEC标准测试）

用户可以利用标准库的模块作为模板，用ACS快速开发自用测试。图2示出了用ACS进行TDDB测试的例子。

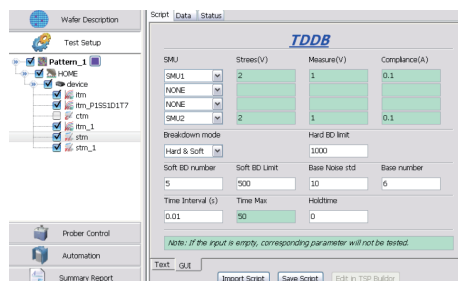


图2. 在ACS图形用户界面进行TDDB测试设置的例子

SMU-Per-Pin WLR测试

SMU-per-pin的理念非常简单——从系统架构中去掉开关矩阵并用独立SMU代替漏掉的引脚连接。用创新的TSP-Link™ 将几台2600系列仪器连起来像一台仪器那样工作。为了更好地理解SMU-per-pin架构的优点，请考虑下面两种情况。

- 测试共用引脚结构
- 同时测试几个器件的可靠性

共用衬垫/引脚测试结构

考虑图3的共用引脚器件。4个MOSFET共用栅极和衬底引脚连接，而且每个MOSFET的漏极和源极引脚单独连接。共用SMU配置可以使用4台SMU和一个开关矩阵顺序测试器件。将结构划分为几个较小的设备后，测试时间因开关而延长了。此外，劣化恢复出现在大多数可靠性测试的开关过程中，从而使测量的劣化和接下来的寿命预测出现变化。

在此情况下的共用SMU架构存在另一个缺点。在测量一个器件时，剩余器件受栅极电压变化的影响。这会给栅极应力带来不应有的变化。SMU-per-pin架构具有消除开关延时、实现并行测试的显著优点，这无需驱动每个结构的栅极。

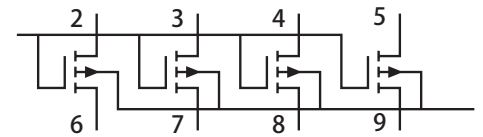


图3. 共用引脚器件的原理图

多器件TDDB和NBTI

图4示出了多器件TDDB测试结构的共用SMU和SMU-per-pin配置。在开关（共用SMU）情况下，SMU1提供连续应力至测试序列的全部结构，SMU2顺序测量每个器件。在顺序分析结构的过程中，开关延时和有限的测量速度合在一起会限制每个结构的测量速度。因此，必须分析这些延时并折合至寿命分析以保证准确推测寿命。而且，如果一个结构遭受灾难性的故障，本组的其它结构将遭受电压瞬变、暂时失去应力条件并可能使测量结果不准确。SMU-per-pin架构不受开关延时和结构不良连接的影响，但更重要的是测量速度非常快，这对于采集高速渐进击穿现象而言至关重要。

1 1 “Wafer Level Reliability Testing - A Critical Device and Process Development Step (晶圆级可靠性测试——器件和过程的关键开发步骤),” Dave Rubin and Yuegang Zhao, Keithley Instruments, Inc.

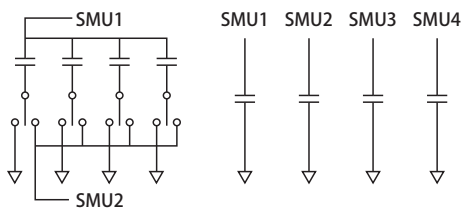


图4. 使用左半部的共用SMU架构以及右半部的SMU-per-pin架构进行TDBB测试。

NBTI测试面临不同的问题。NBTI测试结构是一个MOSFET，其中在栅极施加应力并在漏极进行测量，源极和衬底接地。由于劣化恢复问题，NBTI要求极高的测量速度。特性分析带来的应力中断时间应尽量短。测量速度越快，劣化测量的准确度越高。² 很明显，共用SMU系统在应力和测量周期之间引入了延时，并在特性分析之间的应力持续期带来了可变性。即便使用可能造成损害的热开关技术³，也必须测量应力周期长度的变化并在寿命分析过程中加以考虑。

并行测试和多个组

并行测试提高了测试仪和探测器的利用率并通过同时测量多个器件提高了吞吐量。所提高的吞吐量相对标准可靠性测试而言可能是图5所示顺序测试流的好几倍。

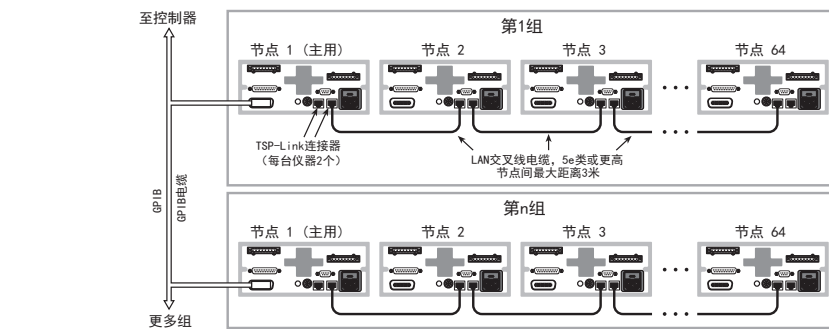


图6. 采用GPIB和TSP-Link连接的多组2600系列仪器设置示例。每组在相同时间开始运行（相同或不同的）脚本。

对于仅包含应力-测量序列的简单测试而言，采用共用SMU方法能以更快速的源、更短的建立延时和更高的积分速率缩短测试时间。但这样做付出的昂贵代价是测量误差升高。另一种并行测试方法可以在先前测试一个器件的时间内提供4个器件的测试结果。当然，这假定了测试时间比开销（例如，探测器移动）时间长得多。增加被测器件的数量，尤其在时间较长的可靠性测试中，能节省大量时间并得到更多的统计数据样本。

且简化了ACS内的测试管理。因此，可以建立多组SMU-per-pin测试系统。

对于并行测试而言，测试脚本预装载至每台2600主机并保存在它的存储器内。触发后，控制器将启动一个函数调用每个组的主机，主机将运行脚本来协调其它2600仪器。然后，此控制器扫描总线并接收来自2600主机的测试结果。

结论

面市时间延长和测试成本压力增大意味着测试工程师必须用更少的投入做更多的事。利用吉时利久经验证的仪器和测量，ACS集成测试系统填补了基于交互式实验室工具与高吞吐量生产测试工具之间的空白。

图1所示的ACS系统表示了一种SMU-per-pin配置，这对于缩微CMOS可靠性测试非常有利。工程师使用此系统就拥有了极大的系统灵活性和吞吐量，不仅能提供数量巨大的统计数据，还实现了性能卓越的独立器件测量。

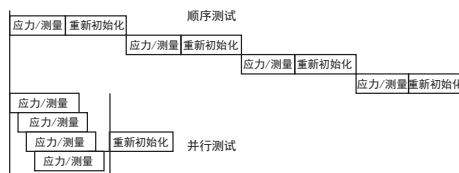


图5. 在顺序测试与并行测试之间的时间差

并行SMU-per-pin ACS集成测试系统的实现

使用多个GPIB组的2600系列源表实现ACS集成测试系统的并行测试。通常使用4个SMU（2台2600系列仪器）一组来测量4端FET或4个电容器。组内的2600系列仪器用TSP-Link™ 连接起来作为一台仪器那样进行控制。此方法实现了系统可扩展性而

2 “Fast and Slow Dynamic NBTI components in p-MOSFET with SiON dielectric and their impact on device life-time and circuit application (以SiON为介质p-MOSFET器件的快速和慢速动态NBTI及其对器件寿命和电路应用的影响)” T. Yang, M.F.Li, C.Shen, et al, 2005 Symposium VLSI Technology Digest of Technical Papers, p92-p93.

3 热开关，包括SMU电压匹配和先后后断技术有可能破坏结构的瞬态特性。

以上内容是根据英文原文翻译的，仅供参考，准确内容请参见<http://www.keithley.com/data?asset=50749>，说明书如有变动不另行通知。
所有吉时利的注册商标或商标名称都是吉时利仪器的财产。
所有其它注册商标或商标名称都是相应公司的财产。

请立即联系吉时利授权经销商：

北京东方中科集成科技股份有限公司
服务电话：400-650-5566
网 址：www.jicheng.net.cn



A GREATER MEASURE OF CONFIDENCE

美国吉时利仪器公司 ■ 全国免费电话：400-650-1334/800-810-1334 ■ 邮箱：china@keithley.com ■ 网址：www.keithley.com.cn